

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-122813

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H02J 1/00
G06F 1/26
H01L 21/8234
H01L 27/088
H03K 17/22

(21)Application number : 09-277529

(71)Applicant : NEC CORP

(22)Date of filing : 09.10.1997

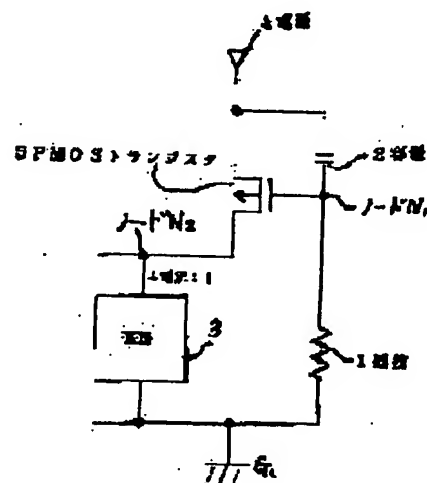
(72)Inventor : SHIRAIWA MASATERU

(54) METHOD AND CIRCUIT FOR APPLYING POWER VOLTAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To supply a gradually increasing power voltage to a circuit at a constant current, and to make it possible to reduce the area for layout as much as possible, by arranging a MOS transistor between a power source and the circuit, and controlling the on-resistance of the MOS transistor by a time constant determined by a resistance and a capacity.

SOLUTION: At the time of supplying power, the on-resistance of a PMOS transistor 5 is controlled by a time constant determined by the resistance value of a resistor 1 and the capacity value of a capacitor 2, and with a current kept constant a power voltage gradually increasing is supplied to a circuit 3. As the result of this, it becomes possible to prevent the circuit from malfunctioning. Besides, it becomes possible to reduce the area for layout, since it is possible to make the capacity value smaller by making the resistance value larger, as the gate voltage of the PMOS transistor 5 is controlled. Besides, it becomes possible to supply a voltage to the circuit 3 without a voltage drop, by increasing the gate size of the PMOS transistor 5 taking the current of the circuit into consideration.



LEGAL STATUS

[Date of request for examination] 09.10.1997

[Date of sending the examiner's decision of rejection] 04.07.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-122813

(43) 公開日 平成11年(1999) 4月30日

(51) Int. Cl.⁶
H 0 2 J 1/00
G 0 6 F 1/28
H 0 1 L 21/8234
27/088
H 0 3 K 17/22

識別記号
3 1 0

F I
H 0 2 J 1/00 3 1 0 C
H 0 3 K 17/22 Z
G 0 6 F 1/00 3 3 0 C
H 0 1 L 27/08 1 0 2 G

審査請求 有 請求項の数 8 O L (全 5 頁)

(21) 出願番号 特願平9-277529
(22) 出願日 平成9年(1997)10月9日

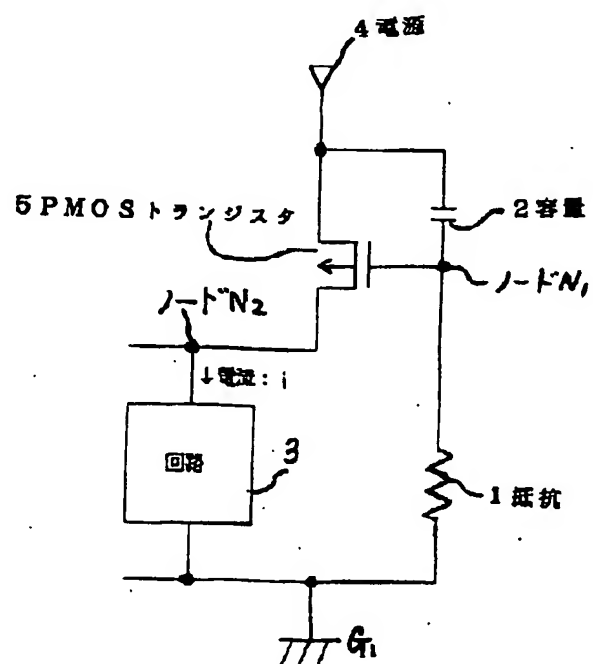
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 白岩 雅輝
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 電源電圧印加方法及びその回路

(57) 【要約】

【課題】 電源投入時、定常流の下に電源電圧を漸増させて回路に供給し、かつ回路構成のレイアウト面積を縮小する。

【解決手段】 電源4と回路3との間にPMOSトランジスタ5を配設し、電源投入時、抵抗1と容量2とにより決定される時定数をもたせた制御電圧でPMOSトランジスタ5のゲート電圧を制御する。



【特許請求の範囲】

【請求項1】 電源投入時に、定電流の下で電源電圧を漸増させ、これを回路に供給する電源電圧印加方法であ

って、
電源と回路との間にMOSトランジスタを配設し、
前記MOSトランジスタのオン抵抗を、抵抗と容量とにより決定する時定数で制御することを特徴とする電源電圧印加方法。

【請求項2】 前記MOSトランジスタとして、PMOSトランジスタを用いることを特徴とする請求項1に記載の電源電圧印加方法。

【請求項3】 電源投入時に、定電流の下で電源電圧を漸増させ、これを回路に供給する電源電圧印加回路であ

って、
定電流源と、電圧調整部とを有し、

前記回路は、急激な電圧の立上りによって誤動作を生じる特性をもつものであり、

前記定電流源は、前記回路に定電流を供給するものであり、

前記電圧調整部は、電源電圧を漸増させて前記回路に印加するものであることを特徴とする電源電圧印加回路。

【請求項4】 電源投入時に、定電流の下で電源電圧を漸増させて回路に供給する電源電圧印加回路であって、PMOSトランジスタと、容量部と、抵抗部とを有し、前記回路は、急激な電圧の立上りによって誤動作を生じる特性をもつものであり、

前記PMOSトランジスタは、ドレインが電源に、ソースが前記回路の入力端にそれぞれ接続され、前記回路への電流値を定常に保持するものであり、

前記容量部は、電源と前記PMOSトランジスタのベースとの間に接続され、電源によりチャージされるものであり、

前記抵抗部は、前記PMOSトランジスタとグランドとの間に接続され、前記容量部のチャージを放電して前記PMOSトランジスタから前記回路に供給される電源電圧を漸増させるものであることを特徴とする電源電圧印*

加回路。

$$V_2 = \text{電源電圧} \times \frac{1}{R_1 + j\omega C_2} - R_1 \times I \quad (1)$$

式(1)で表わされる。

【0006】図6に示すようにノード電圧 V_2 は、電源電圧の立上がりに対して、抵抗1と容量2との時定数によりなだらかに(漸増)立上がる。

【0007】

【発明が解決しようとする課題】しかしながら、図5に示す従来例では、式(1)から明らかなように、回路3に供給される電流 i と抵抗1とにより電圧降下を生じてしまう。この電圧降下を少なくするためには、抵抗1の抵抗値 R_1 を小さくし、容量2の容量値 C_2 を大きくしなければならない。この容量値 C_2 を大きくするというこ

* 加回路。

【請求項5】 前記容量部として、素子としての容量を用いたものであることを特徴とする請求項4に記載の電源電圧印加回路。

【請求項6】 前記容量部として、トランジスタのゲート容量を用いたものであることを特徴とする請求項4に記載の電源電圧印加回路。

【請求項7】 前記抵抗部として、素子としての抵抗を用いたものであることを特徴とする請求項4に記載の電源電圧印加回路。

【請求項8】 前記抵抗部として、トランジスタのオン抵抗を用いたものであることを特徴とする請求項4に記載の電源電圧印加回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源電圧印加方法及びその回路に関する。

【0002】

【従来の技術】電源電圧を回路に供給するには、その回路の特性によっては、急激な電圧の立上りが原因となって誤動作を生じてしまう場合がある。このような特性をもつ回路としては、帰還をかける帰還回路、バンドキャップ回路等が存在する。

【0003】そのため、急激な電圧の立上りが原因となって誤動作を生じる回路に対しては、電圧の立上りをなだらかにして電源電圧を供給する必要がある。

【0004】この種の電源電圧印加回路の従来例を図5に示す。図5に示す従来例の電源電圧印加回路では、抵抗1と容量2とを用いて回路3に電圧を漸増させて供給することが行われていた。図5において、電源4が投入されると、抵抗1と容量値2とによりノードN1のノード電圧 V_2 が時定数をもって変化する。

【0005】抵抗1の抵抗値を R_1 、容量2の容量値 C_2 、回路3の電流値 i とすると、そのノード電圧 V_2 は、

40 とは、容量2の外形寸法を拡大することとなり、レイアウト面積が大きくなってしまいう課題があった。

【0008】ところで、電源立上げ時における電源立上げ開始から同部回路の安定動作電圧に達するまでを安定状態に保つ技術が特開平6-75668号公報に開示されている。

【0009】特開平6-75668号公報に開示された技術は図7に示すように、レベル検出回路11、容量13、Nchトランジスタ14、Nch出力バッファ15、Nch出力バッファ制御部16とから構成されているが、その回路構成が複雑であるため、そのレイアウト

の面積を縮小するには、限界があった。

【0010】また特開平8-97797号公報には図8に示す半導体集積回路装置の技術が開示されている。図8において、17はPMOSトランジスタ、18、20は容量、19は電流源である。

【0011】図8に示す技術では、レイアウト面積を縮小させることはできるが、電圧源を対象とするものであり、電圧を変化させて回路に印加するようになっていた。

【0012】しかしながら、図8に示す従来例では、電圧を漸増させて電圧の立上りをなだらかにすることはできるが、電流値の変化を無視したものであるため、定電流の下で電源電圧を漸増させて供給する回路には、そのまま適用することができなかった。

【0013】本発明の目的は、定電流の下に電源電圧を漸増させて回路に供給でき、しかもレイアウト面積を可及的に縮小可能な電源電圧印加方法及びその回路を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するため、本発明に係る電源電圧印加方法は、電源投入時に、定電流の下で電源電圧を漸増させ、これを回路に供給する電源電圧印加方法であって、電源と回路との間にMOSトランジスタを配設し、前記MOSトランジスタのオン抵抗を、抵抗と容量とにより決定する時定数で制御するものである。

【0015】また前記MOSトランジスタとして、PMOSトランジスタを用いる。

【0016】また本発明に係る電源電圧印加回路は、電源投入時に、定電流の下で電源電圧を漸増させ、これを回路に供給する電源電圧印加回路であって、定電流源と、電圧調整部とを有し、前記回路は、急激な電圧の立上りによって誤動作を生じる特性をもつものであり、前記定電流源は、前記回路に定電流を供給するものであり、前記電圧調整部は、電源電圧を漸増させて前記回路に印加するものである。

【0017】また本発明に係る電源電圧印加回路は、電源投入時に、定電流の下で電源電圧を漸増させて回路に供給する電源電圧印加回路であって、PMOSトランジスタと、容量部と、抵抗部とを有し、前記回路は、急激な電圧の立上りによって誤動作を生じる特性をもつものであり、前記PMOSトランジスタは、ドレインが電源に、ソースが前記回路の入力端にそれぞれ接続され、前記回路への電流値を定常に保持するものであり、前記容量部は、電源と前記PMOSトランジスタのベースとの間に接続され、電源により充電されるものであり、前記抵抗部は、前記PMOSトランジスタとグランドとの間に接続され、前記容量部の充電を放電して前記PMOSトランジスタから前記回路に供給される電源電

圧を漸増させるものである。

【0018】また前記容量部として、素子としての容量を用いたものである。

【0019】また前記容量部として、トランジスタのゲート容量を用いたものである。

【0020】また前記抵抗部として、素子としての抵抗を用いたものである。

【0021】また前記抵抗部として、トランジスタのオン抵抗を用いたものである。

【0022】本発明によれば、図1の抵抗1の抵抗値 R_1 と容量2の容量値 C_1 とにより決定する時定数で電源4と回路3との間に配設したPMOSトランジスタ5のオン抵抗を制御し、定電流の下で回路1に電源電圧を漸増させて供給する。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0024】（実施形態1）図1は、本発明の実施形態1を示す回路図である。

【0025】図において、本発明に係る電源電圧印加方法は基本的構成として、電源投入時に、定電流の下で電源電圧を漸増させて回路3に供給するものであり、電源4と回路3との間に配設したPMOSトランジスタ5のオン抵抗を、抵抗1の抵抗値 R_1 と容量2の容量値 C_1 とにより決定する時定数で制御し、定電流の下に電源電圧を漸増させて回路3に供給するものである。

【0026】さらに、本発明の電源電圧印加回路は基本的構成として、回路3に定電流を供給する定電流源と、電源電圧を漸増させて回路3に供給する電圧調整部とを含むものである。

【0027】次に本発明を具体的に説明する。図1に示す本発明の実施形態1では、定電流源としてPMOSトランジスタ5を用い、電圧調整部として、PMOSトランジスタ5、抵抗1、容量2を用いている。

【0028】PMOSトランジスタ5は、ドレインが電源4に、ソースが回路3の入力端にそれぞれ接続され、回路3への電流値を定常に保持するようになっている。

【0029】容量2は、電源6とPMOSトランジスタ5のベースとの間に接続され、電源6により充電されるようになっている。また抵抗1は、PMOSトランジスタ5のベースとグランドGとの間に接続され、容量2の充電を放電してPMOSトランジスタ5からの回路3に供給される電源電圧を漸増させるようになっている。

【0030】図2は、電圧変化を示す特性図である。図1において、電源4が投入されると、抵抗1の抵抗値 R_1 及び容量2の容量値 C_1 により決定される時定数でノードN1のノード電圧 V_1 が変化する。

【0031】ここに、ノード電圧 V_1 は、

$$V_i = \text{電源電圧} \times \frac{R_i}{1 \omega C_i + R_i} \quad (2)$$

式(2)で表わされる。

【0032】ノード電圧 V_i は、PMOSトランジスタ5のゲート電圧であるため、ノード電圧 V_i の変化によりPMOSトランジスタ5のオン抵抗が変化し、電流を流通することが可能な状態となる。また、回路3の電流 i 、PMOSトランジスタ5のゲートサイズによって、ノード N_i のノード電圧 V_i が決定される。ノード電圧 V_i は、電源電圧の立上りに対してゆっくり反応することとなり、ノード電圧 V_i の変化によりPMOSトランジスタ5のオン抵抗が変化するため、回路3には、電源電圧の立上がりに対してなだらかに(漸増)させた電圧を供給することとなる。本発明の実施形態1では、回路3に供給される電流 i と抵抗 1 とによる電圧降下が生じることはない。

【0033】したがって、本発明の実施形態1によれば、PMOSトランジスタ5のゲート電圧を制御するため、抵抗値を大きくして容量値を小さくすることができ、レイアウト面積を小さくすることができる。さらに、PMOSトランジスタのゲートサイズを回路3の電流 i を考慮し大きくすることで電圧降下を起こすことなく、回路に電圧を供給することができる。

【0034】(実施形態2)図3は、本発明の実施形態2を示す回路図である。

【0035】図3に示す本発明の実施形態3は、図1の容量2としてトランジスタのゲート容量を用いたものである。具体的に説明すると、PMOSトランジスタ6のベースを電源4に接続し、そのドレインとソースを接続してPMOSトランジスタ5のベースに接続し、かつ抵抗1の一端をPMOSトランジスタ6のドレインとソースの接続点に接続し、PMOSトランジスタ6のゲート容量を図1の容量2として用いたものである。尚、PMOSトランジスタ6を用いたが、これに代えてNMOSトランジスタ6を用いてもよい。

【0036】(実施形態3)図4は、本発明の実施形態3を示す回路図である。

【0037】図4に示す本発明の実施形態3は、図1の抵抗1としてトランジスタのオン抵抗を用いたものである。具体的に説明すると、NMOSトランジスタ7と8とにより電流ミラー回路を構成し、NMOSトランジスタ7のドレインをPMOSトランジスタ5のベースと容量2の一端とに接続し、そのソースをグラウンドGに接続する。一方、NMOSトランジスタ7と8のベースの接続点にNMOSトランジスタ8のドレインを接続し、N

MOSトランジスタ8のソースをグラウンドGに接続し、NMOSトランジスタ8のドレインに電流源9を接続し、NMOSトランジスタ7、8のオン抵抗を図1の抵抗1として用いたものである。尚、図4に示す本発明の実施形態2では電流ミラー回路の構成としたが、ダイオードで構成してもよい。

【0038】

【発明の効果】以上説明したように本発明によれば、電源電圧を時定数をもつ制御電圧により制御するため、定電流の下に電源電圧を漸増させて回路に供給することができ、回路の誤動作を防止することができる。

【0039】さらに、PMOSトランジスタのゲート電圧を制御するため、抵抗値を大きくして容量値を小さくすることができることとなり、レイアウト面積を小さくすることができる。

【0040】さらに、PMOSトランジスタのゲートサイズを回路の電流を考慮し大きくすることで電圧降下を起こすことなく、回路に電圧を供給することができる。

【0041】さらに、容量部として、素子としての容量、或いはトランジスタのゲート容量、また抵抗部として、素子としての抵抗、或いはトランジスタのオン抵抗を用いることができ、集積回路化に自由度をもたせることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1を示す回路図である。

【図2】本発明の実施形態における電圧変化を示す特性図である。

【図3】本発明の実施形態2を示す回路図である。

【図4】本発明の実施形態3を示す回路図である。

【図5】従来例を示す回路図である。

【図6】従来例における電圧変化を示す特性図である。

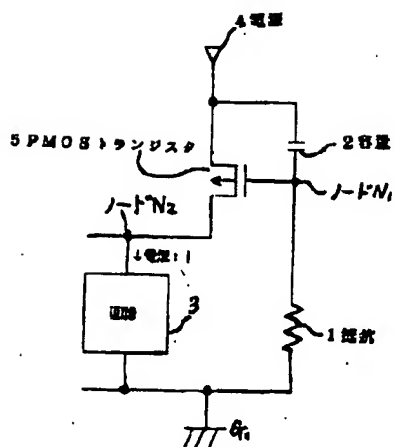
【図7】特開平6-75668号公報に示された技術を示す回路図である。

【図8】特開平6-97797号公報に示された技術を示す回路図である。

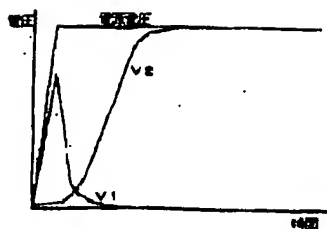
【符号の説明】

- 1 抵抗
- 2 容量
- 3 回路
- 4 電源
- 5, 6 PMOSトランジスタ
- 7, 8 NMOSトランジスタ

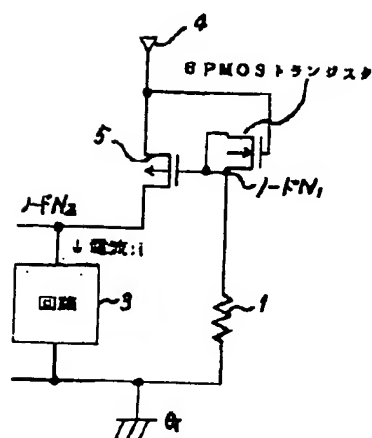
【図1】



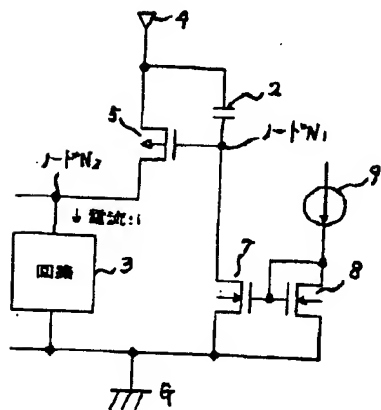
【図2】



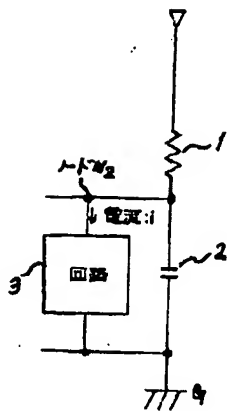
【図3】



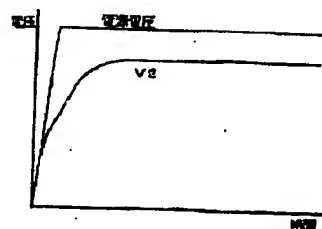
【図4】



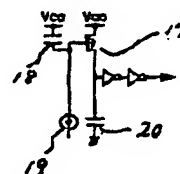
【図5】



【図6】



【図8】



【図7】

